



**PATENT**

Docket No. JCLA11671

page 1

**IN THE UNITED STATE PATENT AND TRADEMARK OFFICE**

In re application of : DAVID SHIUNG et al.

Application No. : 10/655,898

Filed : September 04, 2003

For : AN DIGITAL FREQUENCY  
SYNTHESIZING CIRCUIT AND SYSTEM  
THEREOF USING INTERPOLATION AND  
LINEAR FEEDBACK SHIFT REGISTER  
(LFSR)

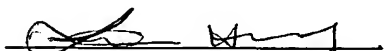
Examiner :

**Certificate of Mailing**

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Commissioner for Patents, P.O.BOX 1450, Alexandria VA 22313-1450, on

December 8, 2003

(Date)

  
Jiawei Huang, Reg. No. 48,330

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of **Taiwan** Application No. **92122055** filed on **August 12, 2003**.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA11671).

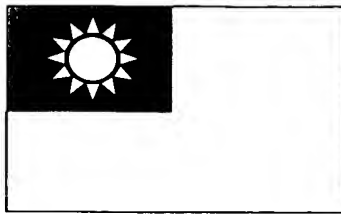
Date: 12/8/2003

By:   
Jiawei Huang  
Registration No. 43,330

**Please send future correspondence to:**

J. C. Patents  
4 Venture, Suite 250  
Irvine, California 92618  
Tel: (949) 660-0761

10/655,898  
JCA 11691



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 08 月 12 日  
Application Date

申請案號：092122055  
Application No.

申請人：聯詠科技股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 9 月 23 日  
Issue Date

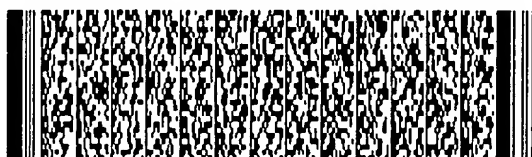
發文字號：09220953030  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中 文	應用內插法及線性回授移位暫存器之頻率合成器的電路與系統
	英 文	A FREQUENCY SYNTHESIZER USING INTERPOLATION AND LINEAR FEEDBACK SHIFT REGISTER (LFSR)
二、 發明人 (共1人)	姓 名 (中文)	1. 熊大為
	姓 名 (英文)	1. David Shiung
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台南市東區東寧路201巷55號
	住居所 (英 文)	1. No. 55, Lane 201, Dungning Rd., East Chiu, Tainan City, Taiwan 701, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 聯詠科技股份有限公司
	名稱或 姓 名 (英文)	1. Novatek Microelectronics Corp.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹縣創新一路13號2樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 2F., No. 13, Innovation Road I, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 何泰舜
	代表人 (英文)	1. Tai-Shung Ho



四、中文發明摘要 (發明名稱：應用內插法及線性回授移位暫存器之頻率合成器的電路與系統)

一種應用內插法及線性回授移位暫存器(Linear Feedback Shift Register, LFSR)製作之全數位頻率合成器(frequency synthesizer)之電路，此電路係儲存二頻率資料之序列於一移位暫存器中，以內插法之概念，可合成介於二預設頻率之間之任意頻率，其解析度由線性回授移位暫存器之級數決定。此法優於習知頻率合成器之複雜數位電路亦或類比電路，且只需要簡單之數位電路架構而提供更高之合成解析度。本發明亦提供一頻率合成系統。

伍、(一)、本案代表圖為：第\_\_\_\_1\_\_\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

100 頻率合成器

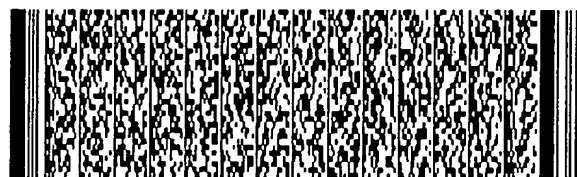
110 多工器

120 控制單元

130 第一記憶體

六、英文發明摘要 (發明名稱：A FREQUENCY SYNTHESIZER USING INTERPOLATION AND LINEAR FEEDBACK SHIFT REGISTER (LFSR))

The invention provides an all-digital frequency synthesizer circuit using interpolation technique and Linear Feedback Shift Register (LFSR). This synthesizer adaptively outputs two sequences stored in a bank of memory, or shift register. Using the idea of interpolation, all synthesizable frequencies located between two predetermined threshold frequencies are possibly



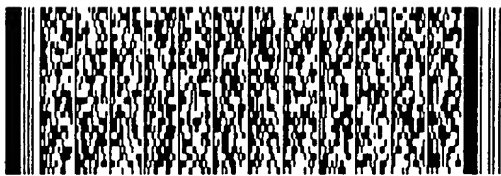
四、中文發明摘要 (發明名稱：應用內插法及線性回授移位暫存器之頻率合成器的電路與系統)

132 第二記憶體

140 線性回授移位暫存器(LFSR)

六、英文發明摘要 (發明名稱：A FREQUENCY SYNTHESIZER USING INTERPOLATION AND LINEAR FEEDBACK SHIFT REGISTER (LFSR))

obtained, and resolution is determined by the order of LFSR thereby. A frequency synthesizing system is also included in the present invention.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

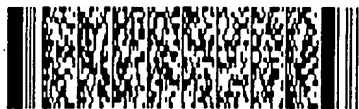
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 發明所屬之技術領域

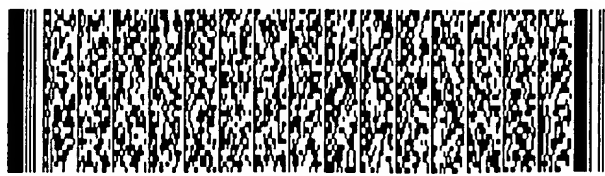
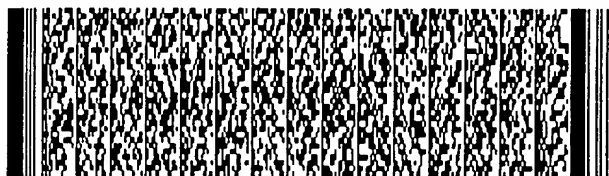
本發明是有關於一種全數位頻率合成器，且特別是有關於一種經濟型頻率合成器之電路，係以簡單邏輯單元與一線性回授移位暫存器組成。本發明提供較低電路複雜度與較高頻率解析度。

### 先前技術

習知技術中，通常頻率合成器有直接頻率合成器、鎖相頻率合成器、與數位合成器可選擇。第2圖顯示一直接頻率合成器之電路。假設在此欲合成一26.7457 kHz之頻率，一直接頻率合成器係利用一連續逼近法得細微部分之頻率，然而此法之電路顯然太過繁複。

另一習知頻率合成器係以類比鎖相技術元件設計而成，其示意方塊圖如第3圖所示，其中包括一鎖相迴路，且此頻率合成器之參考頻率為 $f^1$ ，解析度為 $\Delta f$ ，及欲合成頻率為 $f^2$ 。此架構通常由類比電路製成，與本發明之電路相比顯得較混亂。

更有一習知頻率合成器係數位合成器，其方塊圖如第4圖所示。本電路架構類似一數字控制振盪器 (Numerically Controlled Oscillator, NCO)。此系統中之參考頻率為 $f^1$ 、頻率增加量為 $\Delta \theta$ 、欲合成頻率為 $f^2$ 。該合成頻率 $f^2$ 之產生為連續查詢一餘弦函數表。但當合成較細解析度時，如201.3457 kHz，該餘弦函數表便過度擴張而造成電路之不可行。



## 五、發明說明 (2)

綜觀以上三種頻率合成器，可發現複雜之電路架構不經濟之類比電路設計、及受限之合成頻率，故各方面需改進。

### 發明內容

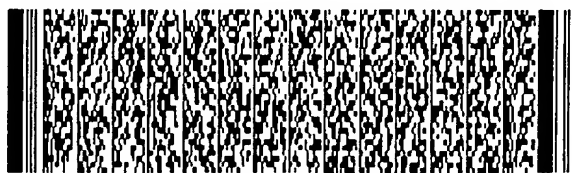
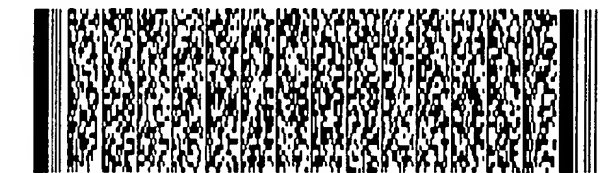
因此本發明的目的就是在提供一種由簡單邏輯元件構成之頻率合成電路與系統。

本發明的目的再一目的是提供一種全數位頻率合成電路與系統。

本發明的另一目的是提供一種高解析頻率之頻率合成電路與系統。

本發明提供一種全數位之頻率合成電路，以內插法與一線性回授移位暫存器達成。此頻率合成器之基本概念為儲存二序列於暫存器中，再以內插法之概念合成介於二預設頻率之間之各可能頻率，而其頻率解析度係由線性回授移位暫存器之級數決定。另外本發明亦提供一全數位之頻率合成系統。

本發明中頻率合成器之基本架構如第1圖所示。其中 'Seq.+' 130 與 'Seq.-' 132 為記憶體方塊，用以儲存二弦波  $\sin(2\pi f^1 t)$  與  $\sin(2\pi f^2 t)$  中之參考頻率  $f^1$  與  $f^2$ 。理論上來說，所有介於  $f^1$  與  $f^2$  之間之頻率均可以此架構合成。其最高頻率解析度為  $(f^1 - f^2)/2^N$ ，其中  $N$  為線性回授移位暫存器 140 之級數。圖中之多工器 110 之輸出由線性回授移位暫存器 140 中之值決定，當該值小於一預設值時，多工器 110





### 五、發明說明 (3)

選擇由'Seq.-'方塊132傳送之信號151，而當該值小於一預設值時，多工器110選擇由'Seq.+'方塊130傳送之信號153。其時序由'Digi\_clk'控制。當一序列完成，於線性回授移位暫存器140中之值便位移一位元，並重覆該比較步驟。以此方法，本發明之頻率合成器可實現低複雜度與高頻率解析度。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

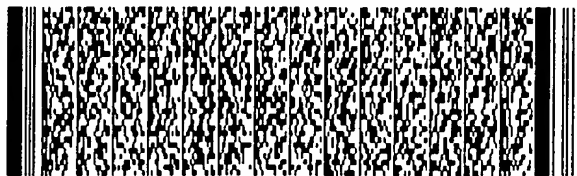
### 實施方式

請參照第1圖，其繪示依照本發明一較佳實施例的一頻率合成器方塊圖。假設欲產生2位元寬度一輸出序列，且系統時序為13.392MHz，則參考頻率分別為 $11392/66=202.909\text{kHz}$ 及 $119392/67=199.881\text{kHz}$ 。又假設欲合成之頻率為201kHz，則記憶體'Seq.+ '130與'Seq.- '132中之值可分別表示為

"0000000000000000000011111111111111111000000000000000  
-1-1-1-1-1-1-1-1-1-1-1-1-1-1-1-1-1-1" 及

"00000000000000000000001111111111111111111000000000000000  
00-1-1-1-1-1-1-1-1-1-1-1-1-1-1-1-1-1-1"。為了簡便起見，此二序列可分別表示為"16/17/16/17"及

"17/17/16/17"。由於 $11392/201=66.6269$ ，則產生'Seq.+ '之值之機率為0.6269。同理產生'Seq.- '之值之機

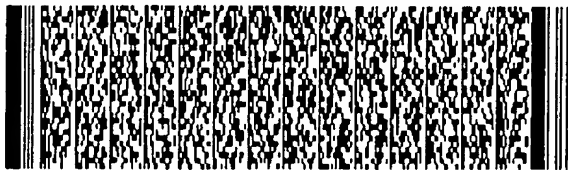


#### 五、發明說明 (4)

率為0.3731(即 $1-0.6269$ )。若選擇線性回授移位暫存器，其140之級為10，則其所產生之多項函數為 $g(D)=1+D^3+D^{10}$ ，圖如第5圖所示。在這裡以Galois結構表示此線性回授移位暫存器，然而Fibonacci結構亦可行。該線性回授移位暫存器之級數設為10，則其最高解析度為 $(202.909-199.881)/2^{10}=0.002957\text{kHz}$ ，且臨界值可設定為 $\text{round}(0.3731*1024)/1024=0.3730_{(10)}=0101111110_{(2)}$ 。

為檢驗合成頻率之精確度，在此以離散傅利葉轉換分析輸出頻率，如第6圖所示。若於第6A圖之X軸上放大201kHz附近之曲線，並與合成頻率 $\sin(2\pi*201k*t)$ 之頻譜圖第6B圖比較，可觀察到兩者完全吻合。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1圖是本發明之一頻率合成器之方塊圖。

第2圖是習知之一直接頻率合成器之方塊圖。

第3圖是習知之一鎖相迴路頻率合成器之方塊圖。

第4圖是習知之一數位頻率合成器之方塊圖。

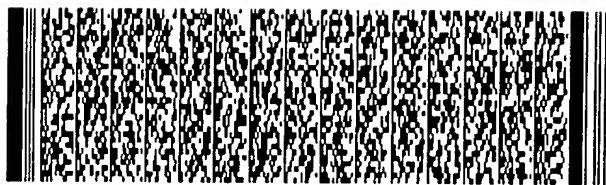
第5圖是本發明中依照一較佳實例，以Galois結構表示之一線性回授移位暫存器。

第6A圖是本發明中依照一較佳實例之輸出信號於時域上之離散傅利葉轉換(Discrete Fourier Transform, DFT)曲線圖。

第6B圖是本發明中依照一較佳實例之輸出信號於頻域上之離散傅利葉轉換曲線圖。

## 圖式標示說明

- 100 頻率合成器
- 110 多工器
- 120 控制器
- 130 第一記憶單元
- 132 第二記憶單元
- 140 線性回授移位暫存器
- 151 第一輸入信號
- 153 第二輸入信號
- 155 控制信號輸入
- 157 控制信號輸出
- 200 直接頻率合成器

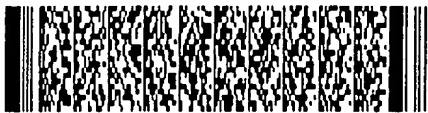


圖式簡單說明

300 類比鎖相頻率合成器

400 數位頻率合成器

500 線性回授移位暫存器



## 六、申請專利範圍

1. 一種頻率合成電路，該電路包括：

一多工器，具有至少一第一輸入端、第二輸入端、輸出端、及一控制端；

一控制器，具有至少一輸入端及一輸出端，其中輸出端耦接至該多工器之控制端，且提供至少一位元信號，以選擇係該第一輸入端或該第二輸入端灌入之信號可通過該多工器；

一第一記憶單元，耦接至該多工器之該第一輸入端，用來儲存一第一參考頻率；

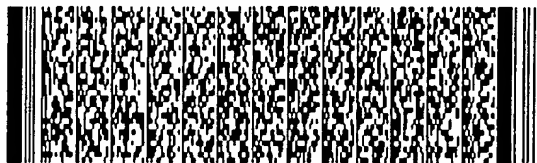
一第二記憶單元，耦接至該多工器之該第二輸入端，用來儲存一第二參考頻率；

一線性回授移位暫存器，其儲存一標的頻率，以與一預設臨限值逐次比較；以及

一數位時序信號，以計時該頻率合成電路之逐次運算。

2. 如申請專利範圍第1項所述之頻率合成電路，其中在該逐次運算中，其中儲存於該線性回授移位器之該標的頻率與該預設臨限值比較之結果決定傳遞該第一輸入端及該第二輸入端之灌入信號其中之一通過該多工器，接著該標的頻率移位一個位元，以作下一次比較，直到一頻率解析度無法分辨標的頻率與該預設臨限值之差異。

3. 如申請專利範圍第1項所述之頻率合成電路，其中該第一記憶單元所儲存之該第一參考頻率與該第二記憶單元所儲存之該第二參考頻率，其中之該些頻率係取樣於一



## 六、申請專利範圍

弦波信號。

4. 如申請專利範圍第1項所述之頻率合成電路，其中該線性回授移位暫存器之級數決定該頻率解析度。

5. 如申請專利範圍第2項所述之頻率合成電路，其中該頻率解析度係一比率，由二該些參考頻率之差數比上二的多次乘冪，其中該多次為該線性回授移位暫存器級數次方。

6. 一種頻率合成系統，該電路包括：

一多工器，具有至少一第一輸入端、第二輸入端、一輸出端、及一控制端；

一控制器，具有至少一輸入端及一輸出端，其中輸出端耦接至該多工器之控制端，且提供至少一位元信號，以選擇係該第一輸入端或該第二輸入端灌入之信號可通過該多工器；

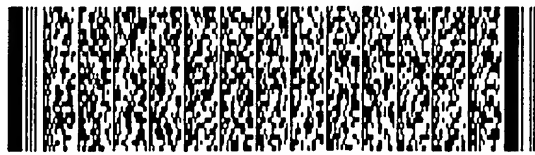
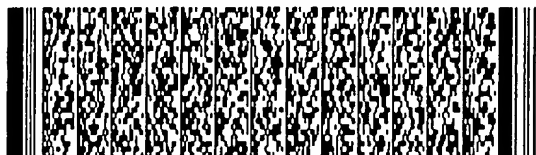
一第一記憶單元，耦接至該多工器之該第一輸入端，用來儲存一第一參考頻率；

一第二記憶單元，耦接至該多工器之該第二輸入端，用來儲存一第二參考頻率；

一線性回授移位暫存器，其中儲存一標的頻率，以與一預設臨限值逐次比較；以及

一數位時序信號，以計時該頻率合成系統之逐次運算。

7. 如申請專利範圍第6項所述之頻率合成系統，其中該逐次運算，其中儲存於該線性回授移位器之該標的頻率



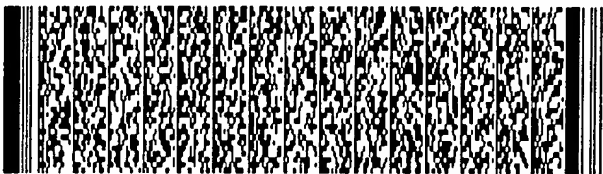
#### 六、申請專利範圍

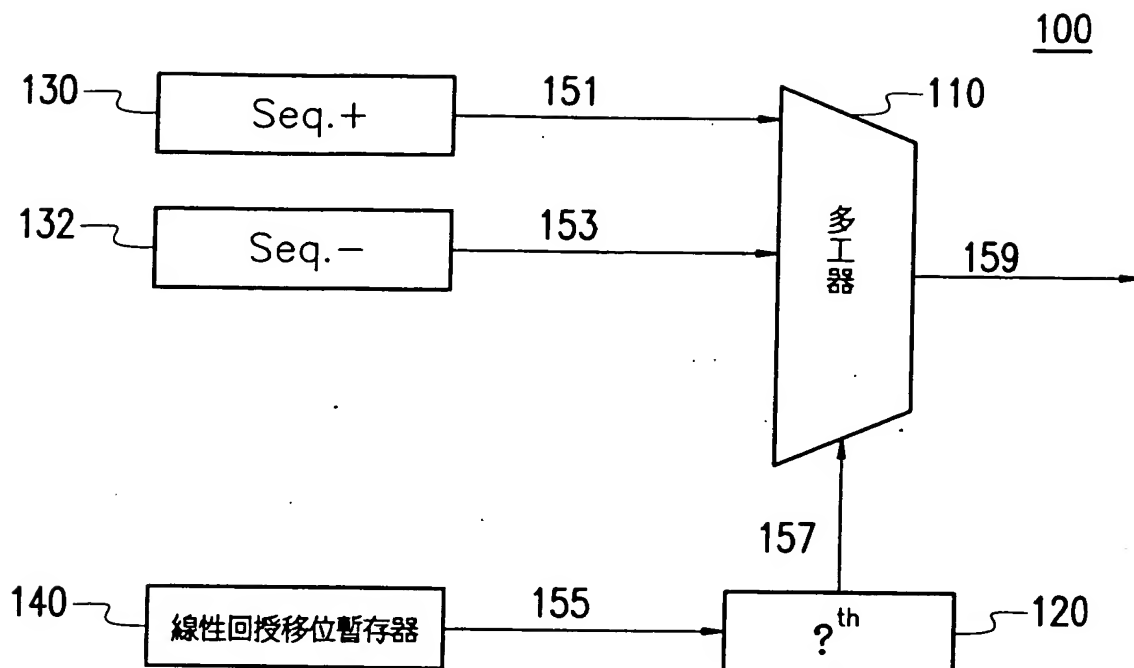
與該預設臨限值比較之結果決定傳遞該些輸入端之灌入信號其中之一通過該多工器，接著該標的頻率移位一個位元，以作下一比較，直到一頻率解析度無法分辨標的頻率與該預設臨限值之差異。

8. 如申請專利範圍第6項所述之頻率合成系統，其中該第一記憶單元所儲存之該第一參考頻率與該第二記憶單元所儲存之該第二參考頻率，其中之該些頻率係取樣於弦波信號。

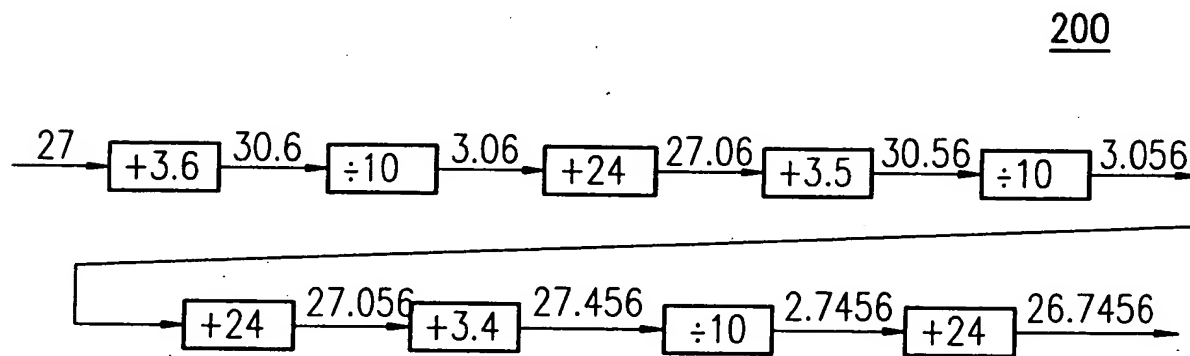
9. 如申請專利範圍第6項所述之頻率合成系統，其中該線性回授移位暫存器之級數決定該頻率解析度。

10. 如申請專利範圍第7項所述之頻率合成系統，其中該頻率解析度係一比率，由二該些參考頻率之差數比上二的多次乘冪，其中該多次為該線性回授移位暫存器之級數。



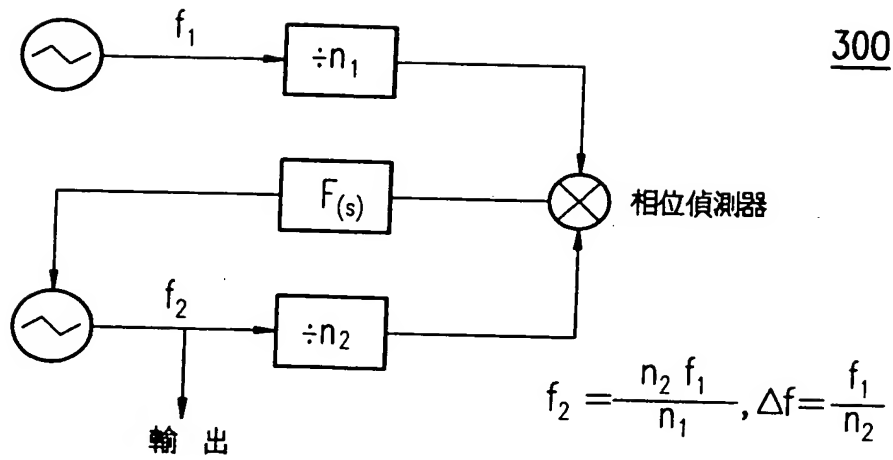


第 1 圖

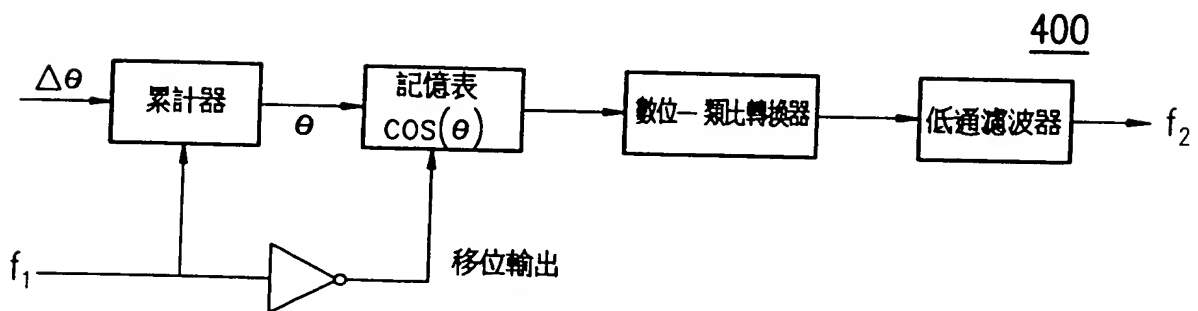


第 2 圖

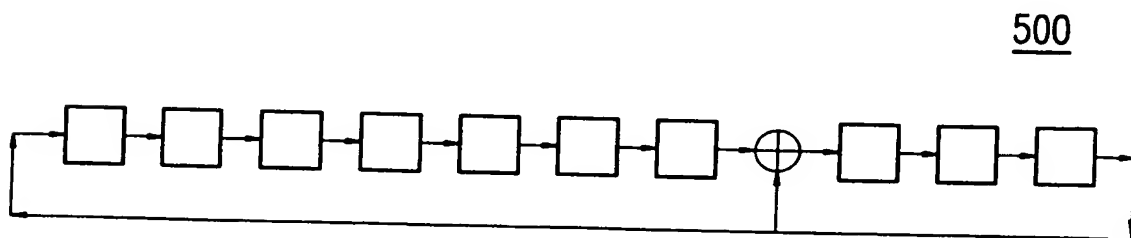




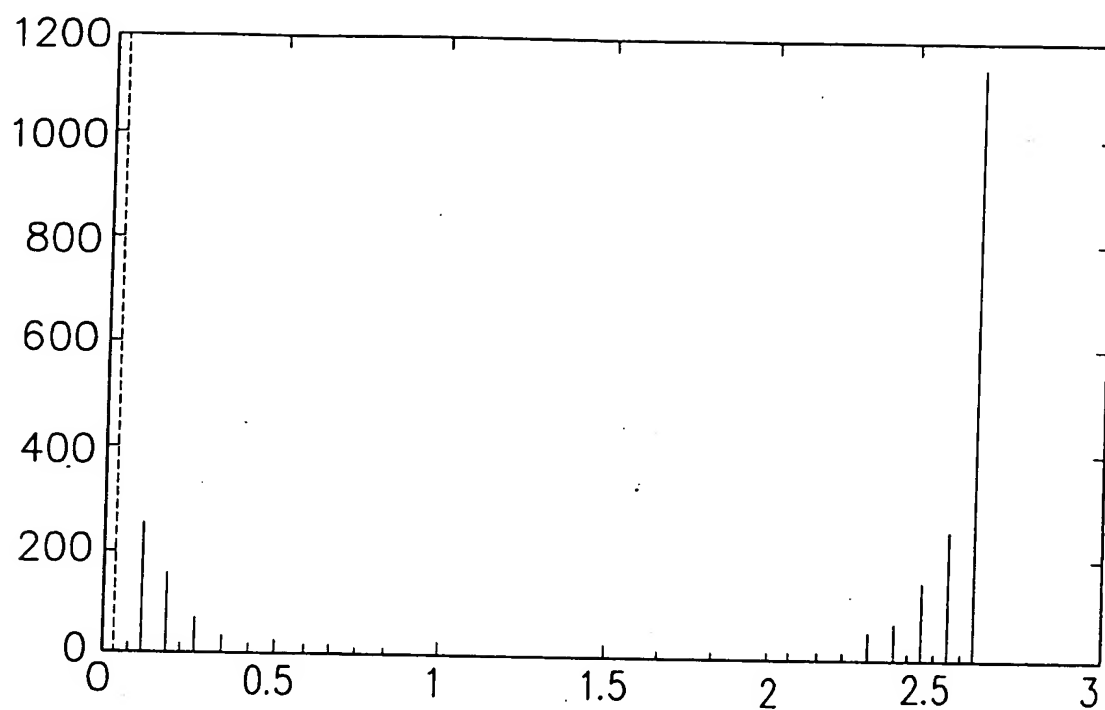
第 3 圖



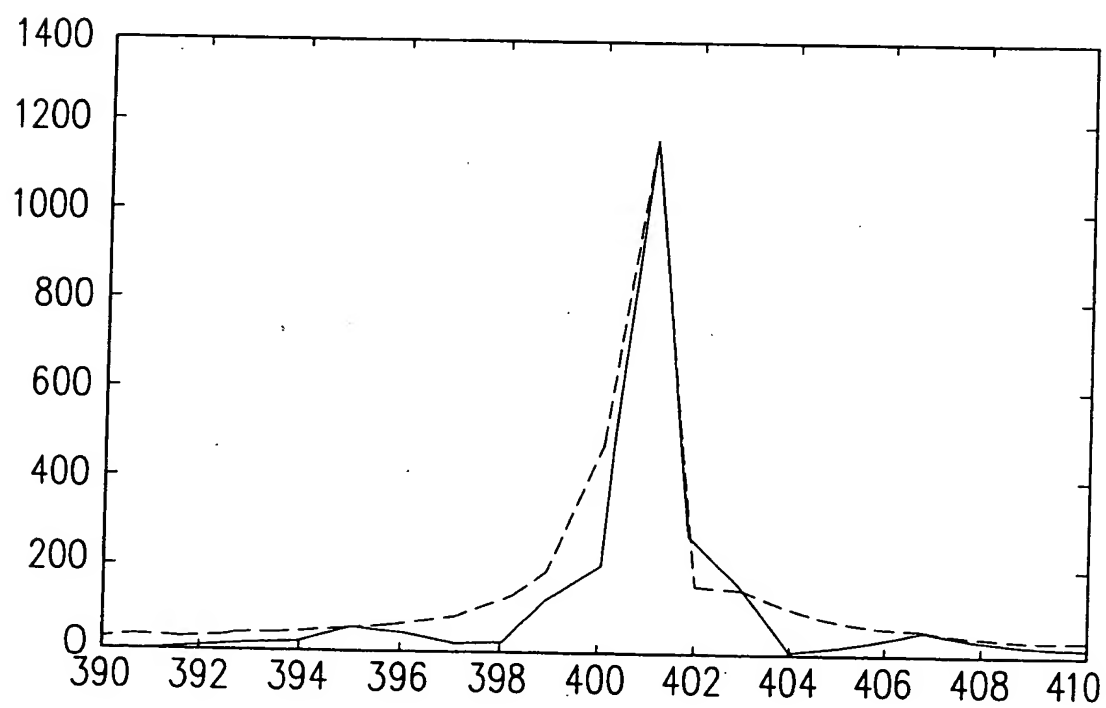
第 4 圖



第 5 圖

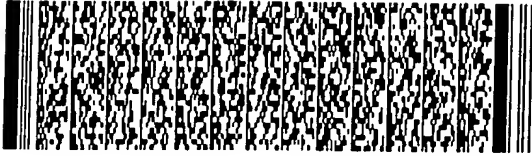


第 6A 圖

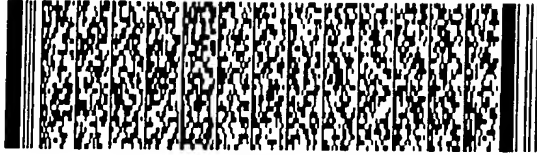


第 6B 圖

第 1/13 頁



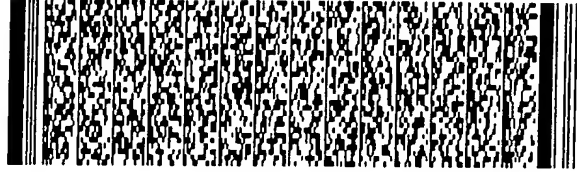
第 1/13 頁



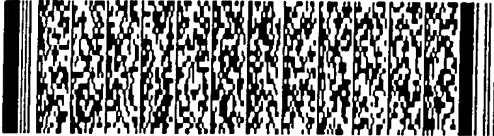
第 2/13 頁



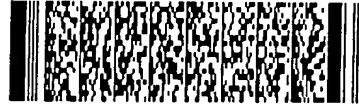
第 2/13 頁



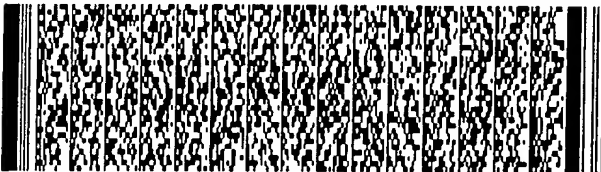
第 3/13 頁



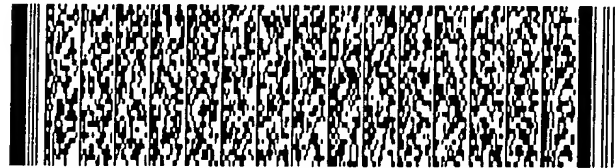
第 4/13 頁



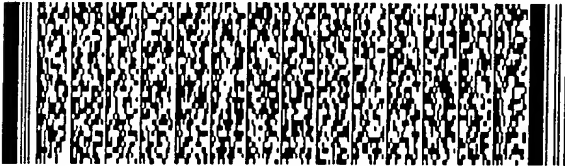
第 5/13 頁



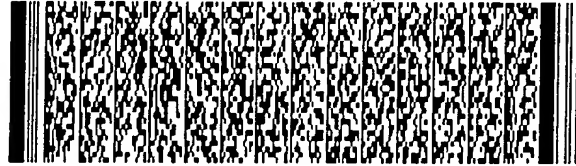
第 5/13 頁



第 6/13 頁



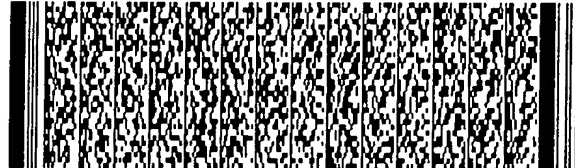
第 6/13 頁



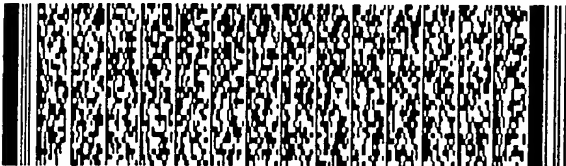
第 7/13 頁



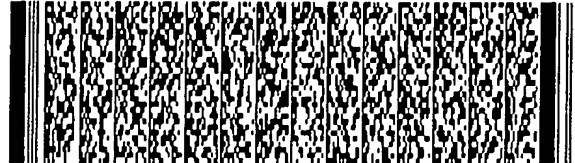
第 7/13 頁



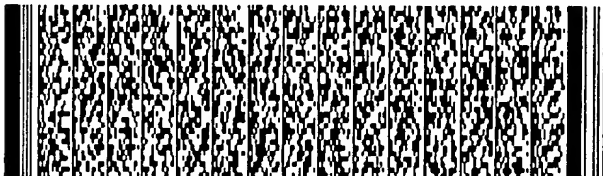
第 8/13 頁



第 8/13 頁



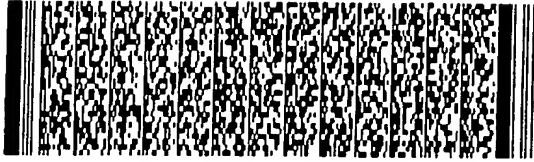
第 9/13 頁



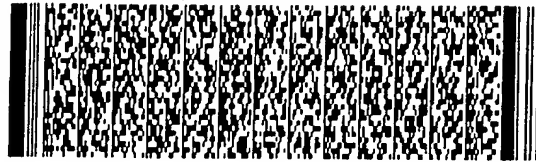
第 10/13 頁



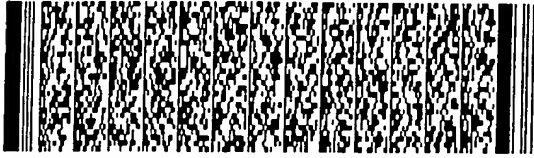
第 11/13 頁



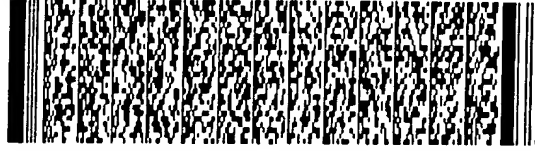
第 11/13 頁



第 12/13 頁



第 12/13 頁



第 13/13 頁

